

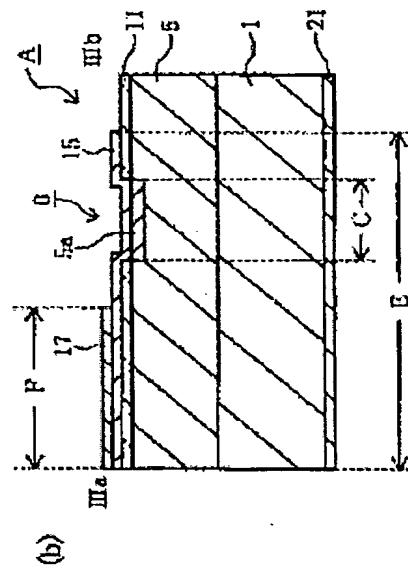
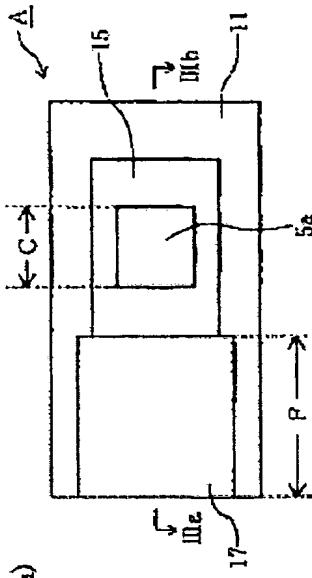
## SEMICONDUCTOR ELEMENT AND OPTICAL SEMICONDUCTOR ELEMENT

Patent number: JP2002016287  
Publication date: 2002-01-18  
Inventor: TOMIYOSHI TOSHIO; HIRASAWA HIROSHI; HOKOTA KAZUAKI; SUZUKI YOSHIO  
Applicant: STANLEY ELECTRIC CO LTD  
Classification:  
- international: H01L33/00  
- european:  
Application number: JP20000172949 20000609  
Priority number(s):

## Abstract of JP2002016287

**PROBLEM TO BE SOLVED:** To improve the characteristics of an optical semiconductor element formed of GaAs semiconductor.

**SOLUTION:** This optical semiconductor element includes an N-type GaAsP semiconductor layer 5, a P-type GaAsP semiconductor layer 5a, formed on the layer 5, a first electrode 21 formed to an N-type GaAs semiconductor substrate 1, a ZnO layer 15 (second electrode), which is formed to the P-type GaAsP semiconductor layer 5a and contains group III B, Al, Ga or In of 2-8 at% as dopant, and further an upper part electrode 17 formed in a part region on the layer 15.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-16287

(P2002-16287A)

(43)公開日 平成14年1月18日 (2002.1.18)

(51)Int.Cl.<sup>7</sup>  
H 0 1 L 33/00

識別記号

F I  
H 0 1 L 33/00

テマコト<sup>\*</sup> (参考)  
E 5 F 0 4 1  
A

審査請求 有 請求項の数12 O L (全 12 頁)

(21)出願番号 特願2000-172949(P2000-172949)  
(22)出願日 平成12年6月9日(2000.6.9)  
(31)優先権主張番号 特願2000-129449(P2000-129449)  
(32)優先日 平成12年4月28日(2000.4.28)  
(33)優先権主張国 日本(JP)

(71)出願人 000002303  
スタンレー電気株式会社  
東京都目黒区中目黒2丁目9番13号  
(72)発明者 富吉 俊夫  
神奈川県横浜市青葉区荏田西1-3-1  
スタンレー電気株式会社技術研究所内  
(72)発明者 平澤 洋  
神奈川県横浜市青葉区荏田西1-3-1  
スタンレー電気株式会社技術研究所内  
(74)代理人 100091340  
弁理士 高橋 敬四郎 (外2名)

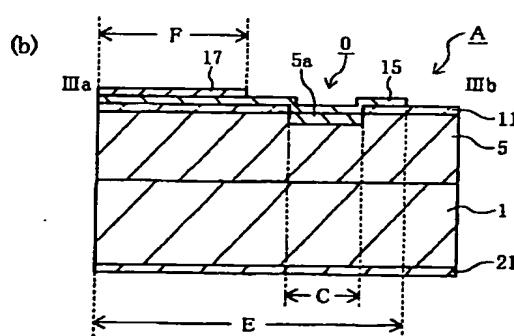
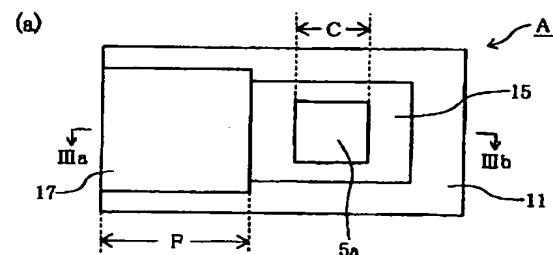
最終頁に続く

(54)【発明の名称】 半導体素子及び光半導体素子

(57)【要約】

【課題】 GaAs系半導体で形成される光半導体素子の特性を向上させる。

【解決手段】 n型GaAsP半導体層5aと、その上に形成されるp型GaAsP半導体層5aとn型GaAs半導体基板1に対して形成される第1電極21と、p型GaAs系半導体層5aに対して形成され、III族のB、Al、Ga又はInを2at%から8at%ドーパントとして含むZnO層15(第2電極)と、さらにその上の一部領域に形成される上部電極17とを含む。



【特許請求の範囲】

【請求項1】 GaAs系半導体層と、  
GaAs系半導体層上に形成され、2at%から8at%のIII族のB, Al, Ga又はInのうち少なくとも一種類をドーパントとして含むZnO層とを有する半導体素子。

【請求項2】 前記GaAs系半導体層は、p型の導電性を有する請求項1に記載の半導体素子。

【請求項3】 前記GaAs系半導体層は、n型の導電性を有する請求項1に記載の半導体素子。

【請求項4】 n型GaAs系半導体層と、  
前記n型GaAs系半導体層上に、主な光学面として形成されるp型GaAs系半導体層とで構成されるp-n接合を有したGaAs系半導体素子において、  
前記n型GaAs系半導体層に対して電気的にコンタクトを形成する第1電極と、前記p型GaAs系半導体層に対して電気的にコンタクトを形成し、2at%から8at%のIII族のB, Al, Ga又はInのうち少なくとも一種類をドーパントとして含むZnO層からなる第2電極とを有する光半導体素子。

【請求項5】 p型GaAs系半導体層と、  
前記p型GaAs系半導体層上に、主な光学面として形成されるn型GaAs系半導体層とで構成されるp-n接合を有したGaAs系半導体素子において、  
前記p型GaAs系半導体層に対して電気的にコンタクトを形成する第1電極と、前記n型GaAs系半導体層に対して電気的にコンタクトを形成し、2at%から8at%のIII族のB, Al, Ga又はInのうち少なくとも一種類をドーパントとして含むZnO層からなる第2電極とを有する光半導体素子。

【請求項6】 n型GaAs系半導体層と、  
前記n型GaAs系半導体層内の一領域に形成されるp型GaAs系半導体層とで構成されるp-n接合を有したGaAs系半導体素子において、  
前記n型GaAs系半導体層に対して電気的にコンタクトを形成する第1電極と、前記p型GaAs系半導体層を覆い、前記p型GaAs系半導体層にのみ電気的にコンタクトを形成する2at%から8at%のIII族のB, Al, Ga又はInのうち少なくとも一種類をドーパントとして含むZnO層からなる第2電極とを含む光半導体素子。

【請求項7】 n型GaAs系半導体層と、  
前記n型GaAs系半導体層上の一領域に形成されるp型GaAs系半導体層とで構成されるp-n接合を有したGaAs系半導体素子において、  
前記n型GaAs系半導体層に対して電気的にコンタクトを形成する第1電極と、前記p型GaAs系半導体層を覆い、前記p型GaAs系半導体層にのみ電気的にコンタクトを形成する2at%から8at%のIII族のB, Al, Ga又はInのうち少なくとも一種類をドー

パントとして含むZnO層からなる第2電極とを含む光半導体素子。

【請求項8】 p型GaAs系半導体層と、  
前記p型GaAs系半導体層上の一領域に形成されるn型GaAs系半導体層とで構成されるp-n接合を有したGaAs系半導体素子において、

前記p型GaAs系半導体層に対して電気的にコンタクトを形成する第1電極と、  
前記n型GaAs系半導体層を覆い、前記n型GaAs系半導体層にのみ電気的にコンタクトを形成する2at%から8at%のIII族のB, Al, Ga又はInのうち少なくとも一種類をドーパントとして含むZnO層からなる第2電極とを含む光半導体素子。

【請求項9】 前記p型GaAs系半導体層と前記n型GaAs系半導体層との間に、活性層となる半導体層が形成されている請求項4から8までのいずれか1項に記載の光半導体素子。

【請求項10】 前記第2電極の一部に、前記第2電極と電気的にコンタクトを形成する金属からなる第3電極を含む請求項4から9までのいずれか1項に記載の光半導体素子。

【請求項11】 前記第2電極は、屈折率nが1.8から2.2までの間である請求項4から10までのいずれか1項に記載の光半導体素子。

【請求項12】 前記第2電極の厚さdが、  
 $d = (2m - 1) \lambda / 4n$  である請求項4から11までのいずれか1項に記載の光半導体素子。但し、mは正の正数、nは屈折率、入は中心波長である。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、p-n接合を有したGaAs系化合物半導体素子の技術に関するものであり、特に光学特性及び電気特性の優れた光半導体素子に関するものである。

【0002】

【従来の技術】 GaAs系半導体材料を用いてp-n接合を形成することにより種々の機能性素子が作製できる。例えば発光ダイオード(Light Emission Diode: LED)は、一般的にn型GaAs系半導体層とp型GaAs系半導体層からなるp-n接合を有しており、さらにn型及びp型半導体層の各々に対して電気的にコンタクトするための金属電極を形成している。

【0003】 各々の金属電極間にp-n接合に対して順方向となるように電流を印加すると、p-n接合界面近傍領域において、電子と正孔との再結合に起因した発光現象が生じる。発生した光は、例えばp型半導体表面側(光学面)から取り出し、種々の目的に応じて利用される。

【0004】 LEDの発光効率および発光特性の向上を

図るためには、半導体結晶の質やp型又はn型の半導体層構造と形状が重要である。また同じように、光学面を形成するp型又はn型に電気的にコンタクトするための金属電極の構造なども極めて重要である。

【0005】GaAs系光半導体素子、例えばLEDの構造には、大まかに第1の構造と第2の構造の少なくとも2種類の構造がある。

【0006】第1の構造を有するLEDは、主にp-n接合がホモ接合の構造を有しており、以下の工程のように作製される。

【0007】例えば、n型GaAs基板にn型GaAsPを気相成長させた上に、窒化珪素(SiNx)により拡散防止膜を形成する。SiNxの一部領域に開口を形成する。

【0008】Znを熱拡散することにより、開口を通してその一部領域中にp型GaAsP層を形成する。n型GaAs基板側から光を取り出すことは困難なため、一般的にp型GaAsP層表面を光学面とすることが多い。

【0009】n型GaAs基板には電気的にコンタクトした、例えばAuSnなどの金属オーム電極が形成する。光学面として用いられるp型側は、p型GaAsP層の一部領域のみ電気的にコンタクトした例えればAlなどの金属オーム電極を形成する。

【0010】第2の構造を有するLEDは、主にp-n接合がシングル又はダブルヘテロ接合の構造を有しており、以下のような工程により作製される。

【0011】例えば、n型GaAs基板上にn型GaAsバッファ層、n型AlGaInPクラッド層、AlGaInP活性層、p型AlGaInPクラッド層、p型GaAs層を順次に有機金属気相成長方法(MO-CVD)などを用いて形成する。n型GaAs基板には電気的なコンタクトした、例えばAuGeなどの金属オーム電極が形成され、光学面として用いるp型側にはp型GaAs層の一部領域と電気的にコンタクトした例えればAlなどの金属オーム電極が形成される。

【0012】第1の構造または第2の構造においてどちらのLEDに対しても、p型またはn型の各半導体層に対し電極から十分な電流を注入するために、半導体層と電極との間のコンタクト抵抗は十分に低いことが必要条件である。そのため電極面積や形状及び金属材料を変えることによりコンタクト抵抗の改善を図っている。しかしその反面、不透明な金属電極はp-n接合近傍から発生した光を遮るために、電極面積を大きく形成することは望ましくない。

【0013】そこで、第1の構造を有するLEDに対しては、光学特性を向上させるために透明導電膜を利用したもののが考えられた。その作製工程を以下に示す。

【0014】例えば、n型GaAs基板にn型GaAsPを気相成長させた上に、窒化珪素(SiNx)により

拡散防止膜を形成する。SiNxの一部領域に開口を形成する。Znを熱拡散することにより、開口を通してその一部領域中にp型GaAsP層を形成する。少なくともp型GaAsP層が形成される一部領域を覆う広い領域上に、例えばインジウム錫酸化物(ITO)などにより透明導電膜を形成する。前記一部領域を避けた領域に例えればAlなどによりワイヤーボンディング用の上部電極を形成する。

【0015】p-n接合に対して光学面が透明な電極に覆われたLEDを作製することができ、出射光は不透明な金属電極などに遮られることがなく、またp-n接合界面に対して均一な分布で電流の注入も行える。そのため光学面近傍において発光強度分布も均一であり、かつ光量の増加も期待できる。

【0016】また第2の構造を有するLEDに対しても、光学特性を向上させるために同様に透明導電膜を利用したものが考えられた。その作製工程を以下に示す。

【0017】例えば、n型GaAs基板上にn型GaAsバッファ層、n型AlGaInPクラッド層、AlGaInP活性層、p型AlGaInPクラッド層、p型GaAs層を有機金属気相成長方法(MO-CVD)などを用いて順次形成する。

【0018】光学面として用いるp型GaAs層上に、例えればITOなどにより透明導電膜を形成する。透明導電膜の一部の領域上にワイヤーボンディング用の上部電極を例えればAlなどで形成する。n型GaAs基板側には電気的にコンタクトした、例えればAuGeなど金属のオーム電極が形成される。

【0019】低抵抗なITOなどの透明導電膜は電流拡散の機能を有することが可能である。印加電流は上部電極を経て前記の透明導電膜内において広く拡散され、均一にp型GaAs層に注入される。

【0020】ところが、光学面における前記p型GaAs層と前記ITOなどの透明導電膜の界面において、電気的に大きなコンタクト抵抗をもつことが知られている。

【0021】そこで、オームコンタクト補助膜としてAuZn等の金属層を前記p型GaAs層と前記ITOなどの透明導電膜の間に挿入するなどの改善が行われている。

【0022】但し、前記AuZn層は光学的に不透明な金属であるため、前記AuZn層の厚みを10nm下と極端に薄い膜で形成することにより光の透過率の向上に努めている。

【0023】GaAs系半導体素子、例えば半導体発光素子であるLEDにおいて、特に前記第1の構造または前記第2の構造における光学面上に形成した前記ITOなどの透明導電膜は、電極または電流拡散層として用いることにより光学特性を改善できる可能性がある。

【0024】ここで、p型又はn型の光学面における半

導体表面に形成される透明導電膜とは、ITOの他にZnO, In<sub>2</sub>O<sub>3</sub>, SnO<sub>2</sub>の薄膜を含んでいる。

## 【0025】

【発明が解決しようとする課題】上述のようにGaAs系光半導体素子の素子構造において、透明導電膜を電極や電流拡散層として利用することにより光学特性を向上できることは周知の事実である。透明導電膜としては、主にITOの他にZnO, In<sub>2</sub>O<sub>3</sub>, SnO<sub>2</sub>などを含み、これらに関して、多くの研究開発が行われている。

【0026】ところが、ZnO, In<sub>2</sub>O<sub>3</sub>又はSnO<sub>2</sub>などは材料自体の抵抗率が高いため、電流注入型の半導体発光素子、例えばLED等に利用するのは困難である。さらに、GaAs系半導体層上にZnO, In<sub>2</sub>O<sub>3</sub>又はSnO<sub>2</sub>をそれぞれ形成した場合、GaAs系半導体とのオーミックコンタクトが得られたという報告はない。

【0027】また、透明電極膜の中でITOは、形成方法によって抵抗率が $10^{-4}\Omega\cdot cm$ と十分に低く電流拡散層として有望視されているが、p型又はn型GaAs系半導体とオーミックコンタクトが得られていない。非常に大きなコンタクト抵抗を有することが知られている。

【0028】一部上記の問題を解決する手法として、p型GaAs系半導体層と透明導電膜との間にオーミックコンタクト補助膜として例えばAuZn等の極端に薄い金属層を挿入した素子構造が提案されている。一部の論理的な解釈として、金属膜を極端に薄く例えば $10\text{ nm}$ 以下の厚みにすることによって光の透過率を向上させることができあり、p型GaAs系半導体層とAuZn層との間ではオーミックコンタクトが得られ、またAuZn層と透明導電膜との間ではオーミックコンタクトが得られるとしている。

【0029】ところが、AuZn等の金属層を挿入すると、薄くても少なからず透過率は低下する。膜厚ばらつきに起因にした透過率のばらつきも生じ、光量ばらつきの制御は困難である。特に半導体発光素子の順方向駆動電圧の増加を引き起こしている例もあり、p型GaAs系半導体層と十分なオーミックコンタクトが得られていないとは言えない。また、n型GaAs系半導体層と透明導電膜との電気的なコンタクトに関しては一切言及されていない。

【0030】従って、GaAs系半導体上に形成可能な透明導電膜を用いた光学特性及び電気特性の優れた透明電極又は透明電流拡散層はなかった。

【0031】一般的に、半導体とその他の物質の接合界面は、半導体側のバンド構造、特にフェルミ準位、アクセプター準位またはドナー準位、さらに金属などの仕事関数などを考慮に入れることによって種々の接合状態が理解されている。

【0032】ところで、ITOなどの透明導電膜は、主

にn型の導電特性を示すものが多い。数多く存在する酸化物透明導電膜は電気的なバンド構造など未だよく分かっていない。特に半導体的な性質と金属的な性質の両面を合わせ持っているがために、その他の金属、半導体またはその他の物質と接合を有する際ににおいても、その界面状態はほとんど解明されていない。

【0033】GaAs系半導体と酸化物透明導電膜の接合に関する現象は、ほとんど調べられていない。

【0034】本発明の目的は、光半導体素子として用いられるGaAs系半導体表面において電流注入層となる新規な透明導電膜を形成し、GaAs系半導体で形成される半導体発光素子の電気および光学特性を向上させることにある。

## 【0035】

【課題を解決するための手段】本発明の一観点によれば、GaAs系半導体層と、前記GaAs系半導体層上に形成され、2at%から8at%のIII族のB, Al、Ga又はInのうち少なくとも一種類をドーパントとして含むZnO層とを有する半導体素子が提供される。

【0036】2at%から8at%のIII族のB, Al、Ga又はInのうち少なくとも一種類をドーパントとして含むZnO層が新規な透明電極又は透明電流拡散層として提供される。

【0037】ZnOは2at%から8at%のIII族のB, Al、Ga又はInのうち少なくとも一種類をドーパントとして添加することによって、ZnO内のキャリア濃度を高くすることが可能となり、さらに抵抗率を低下させることができる。GaAs系半導体において、p型のドーパントとして寄与するZnを元素に含むZnO層は、界面におけるコンタクト抵抗を低減し、電気特性および光学特性を向上させることができる。

## 【0038】

【発明の実施の形態】本発明の実施の形態について説明する前に、透明導電膜を半導体発光素子LEDに対して透明電極または透明電流拡散層として利用した場合、LEDの光学特性及び電気特性における効果について以下にまとめる。

## 【0039】(1) 均一な電流注入

導電性の高い透明導電膜で広くp-n接合上を覆うように形成することが可能なため、p-n接合面に対して十分に均一な電流を注入することができる。特に局所的な電流集中を防止することができ、電流による素子劣化が抑えられ素子の寿命が長くなる。

【0040】(2) 均一な光学面近傍の発光強度  
p-n接合部に対して均一な電流分布の注入を行うことができるため、p-n接合部から均一な発光強度分布が得られる。光学面においても同様に均一な発光強度分布が得られる。

## 【0041】(3) 電極直下の出射光の制御

電極からp-n接合に注入される電流は電極直下の密度が最も高い。その領域におけるp-n接合からの発光強度も電流密度に比例して大きい。しかしながら、光学面に不透明な金属電極が形成されている場合、p-n接合から最も大きな発光強度をもつ出射光はその不透明な電極によって吸収または素子内部へと反射される。

【0042】透明導電膜を透明電極とし形成することにより、ワイヤーボンディング又はフリップチップなどに必要となる金属電極は、p-n接合からの出射光を遮らない位置に形成することができる。

【0043】さらに、透明導電膜を透明電流拡散層として形成した場合、電極から注入された電流は局所的に集中することがなく十分に拡散することにより、電極直下以外の領域からより多くの発光強度が得られ、外部量子効率が向上する。

【0044】尚、半導体発光素子において外部量子効率とは、ある注入電流により電子と正孔の再結合過程を経て得られる発光現象が、半導体素子外部に取り出せる光の効率を言う。注入されたエネルギー(電流)がどれだけ外部に光エネルギーとして取り出せたかを示す指標である。

#### 【0045】(4) 駆動電圧の低下

透明導電膜はp-n接合ほぼ全面を覆うように形成することができるため、透明導電膜と半導体層との接合面積を大きく占有することが可能となる。単位面積あたりのコンタクト抵抗がほぼ同じ値を取る場合、接合面積が大きいほど総合のコンタクト抵抗は小さくなる。従って発光素子の駆動電圧を小さくすることも可能であり、消費電力を抑制することができる。

#### 【0046】(5) 屈折率差の利用

屈折率の異なる材料により界面を形成している場合、スネルの法則から臨界角が求められる。臨界角の大きさは屈折率差によって決定され、特に光の進行方向が屈折率の高い物質から低い物質へ向かう場合、界面の屈折率差が大きいほどその臨界角は小さい。臨界角以上の角度で入射した光は界面で全反射される。例えばLEDにおいてp-n接合からの発光を議論する場合、内部とは屈折率が約 $n_s = 3.7$ を有するGaAs系半導体であり、外部とは屈折率が $n_{air} = 1$ を有する空気のことを指す。屈折率差が大きいため、p-n接合からの出射光はその界面において内部へと反射される割合が大きい。空気とGaAs系半導体の間の屈折率を有する透明導電膜を用いた場合、屈折率差は小さくなり、臨界角は大きくなる。従って、p-n接合からの出射光は素子内部に反射される割合が減少し、外部取り出し効率が向上する。

#### 【0047】(6) 干渉現象の利用

ある波長の光は干渉現象から、光の強め合う条件が決定される。膜厚をdとすると式 $d = (2m-1)\lambda/4n$ が導かれる。透明導電膜は空気とGaAs系半導体の間の屈折率nを有している。中心波長λとして上記の条件

式を満足させることにより、光学多層膜のように、透明導電膜を反射防止膜として機能させることができる。但し、mは正の整数とする。

【0048】又、本明細書におけるIII-V族のGaAs系の光半導体素子を構成する材料の中には、GaAsの他に、GaPの2元結晶、GaAsP, AlGaAs, InGaAsなどの3元混晶、AlGaInP, InAlGaAsなどの4元混晶も含まれる。

【0049】光半導体素子には、基本的に発光素子と受光素子とが含まれる。

【0050】ZnOの電気及び光学特性について、簡単に説明する。

【0051】ZnOは結晶構造や各種のドーパントによりさまざまな電気特性および光学特性を有する。例えば電気特性は、強誘電体的な性質から半導体または金属的な幅広い性質を示す。特にIIII族のB, Al, Ga又はInのうち少なくとも一種類を適度にドーピングしたZnOは抵抗率が低く、かつ、光の透過率の高い光学的にも優れた性質を有することができる。

【0052】図1に、ZnO膜の実効キャリア濃度n、移動度μ及び抵抗率ρと、ZnO中の例えはGaの含有量(at%)との関係を示す。

【0053】図1に示すように、2at%(アトミックパーセント)以上20at%以下、特に2at%から8at%までの間の割合でGaを含むZnO膜を形成すると、キャリア濃度が高く、かつ、移動度もある程度大きい膜、すなわち抵抗率ρが低い膜を形成できる。このような膜は、電極膜または電流拡散層として用いるための要件を備えている。

【0054】図2に、GaドープのZnO膜の分光特性を示す。横軸は波長λ、縦軸は光の透過率を示している。400nmから800nmにおける波長領域において、GaドープのZnO膜の厚さが、240nm、500nm、870nm、990nmと変化しても、80%以上の透過率を示している。従って、十分な光透過特性を有する導電膜すなわち透明導電膜といえる。

【0055】尚、図2の分光特性を測定したときのZnO透明導電膜中のGa含有量は、約4at%である。

【0056】次に本発明の実施の形態について図面を参照して説明する。

【0057】図3に、本発明の第1実施の形態による半導体発光素子の構造を示す。図3(a)は、半導体発光素子の平面図、図3(b)は図3(a)のIIIa-IIB線断面図を示す。

【0058】図3(a)及び図3(b)に示すように、半導体発光素子Aは、n型不純物、例えばTeがドーピングされているn型GaAs基板1と、その上に形成され、例えばTe又はSiがドーピングされているn型GaAsP層5とを含む。

【0059】n型GaAsP層5の一部領域である第1

領域Cは、例えば、Zn(p型不純物)がドーピングされているp型GaAsP層5aと、第1領域Cに対応する領域に開口部Oを有し、n型GaAsP層5の表面に形成されている拡散防止用の窒化珪素膜(SiNx)11と、第1領域Cを含み第1領域よりも広い第2領域E上に形成されているIII族のB、Al、Ga又はInのうち少なくとも一種類を適度にドーピングしたZnO例えばGaドープZnO膜15とを含む。

【0060】n型GaAsP層5とp型GaAsP層5aとにより、p-n接合が形成される。

【0061】第2領域Eの端部近傍であって、第1領域Cを含まない第3領域F上に、ワイヤーボンディング又はフリップチップ用の電極、例えばAlからなる上部電極17が形成される。上部電極17は、開口部O(第1領域C)上を覆ってはいない。

【0062】n型GaAs基板1の裏面に、例えばAuSnを含む下部電極21が形成されている。

【0063】次に、図3(a)、図3(b)に示す発光素子の製造工程について図4から図6までに基づき説明する。

【0064】図4(a)に示すようにn型GaAs基板1を準備する。

【0065】図4(b)に示すようにn型GaAs基板1上にn型GaAsP層5を、例えば気相成長方法などにより結晶成長する。

【0066】図4(c)に示すように、n型GaAsP層5上にSiNx膜11を薄膜形成装置、例えばプラズマCVDにより形成する。

【0067】図4(d)に示すように、フォトリソグラフィー技術により開口Oを有するレジストパターンPRを形成する。レジストパターンPRをマスクとして、SiNx膜11をドライエッチング法によりエッチングし、開口Oに対応する領域のSiNx膜を除去する。その後、レジストパターンPRを除去する。

【0068】図4(e)に示すように、SiNx膜11をマスクとしてp型不純物であるZnを熱拡散する。SiNx膜11は、Znの拡散を防止するための拡散防止膜として機能する。n型GaAsP層5のうち開口部に対応する領域にp型GaAsP5aが形成される。

【0069】n型GaAsP層5とp型GaAsP層5aとによりp-n接合が形成され、発光領域を形成する。

【0070】次に、図5(f)に示すように、p型GaAsP層5a上に、III族のB、Al、Ga又はInのうち少なくとも一種類を適度にドーピングしたZnO、例えばGaドープZnO膜15を形成する。GaドープZnO膜15は、前記第1領域Cを十分に覆い、広く形成される。

【0071】GaドープZnO膜15の形成方法については、後述する。

【0072】図5(g)に示すように、フォトリソグラフィー技術とドライエッティング又はウェットエッティング法を用いて、発光素子ごとにZnO膜15を分離し、領域EにGaドープZnO膜15を残す。

【0073】図5(h)に示すように、GaドープZnO膜15の端部上領域Fに、ワイヤーボンディング用の上部電極17をAlなどを用いて形成する。上部電極17は、前記第1領域C上を覆っていない。

【0074】n型GaAs基板1の裏面側に、下部電極21を、AuSnなどを用いて形成する。このようにして、上面を発光面(光学面)とする半導体発光素子が形成される。

【0075】尚、上記と同様の工程により、上面を受光面とする半導体受光素子を形成することも可能である。

【0076】次に、III族のB、Al、Ga又はInのうち少なくとも一種類をドーパントとして含むZnO膜を形成するための製造装置及び製造方法について説明する。

【0077】ZnO膜は、少なくともIII族のB、Al、Ga又はInのうち少なくとも一種類をドーパントとして含み、これらのドーパントがZnO膜中に十分に活性化し、かつキャリアとして機能する必要がある。上記の条件を満たすZnO膜を形成可能な装置として例えばイオンプレーティング装置またはスパッタ装置などがある。

【0078】特に、ここでは図6に示すようなイオンプレーティング装置Xを用いて、III族の元素であるGaをドーパントとしてZnO膜を形成した例を示す。イオンプレーティング装置Xは、アーク放電により高品質な透明電極膜を形成することのできる装置である。

【0079】図6に示すように、イオンプレーティング装置Xは、真空チャンバ31と、真空チャンバ31内を真空排気するための真空ポンプ33と、真空チャンバ31内の上部に配置されている基板ホルダー35と、基板加熱ヒーター35aと、基板ホルダー35の下方に配置される陽極37及び陰極41(プラスマガン)と、真空チャンバ31内にArガスを導入するためのカスバルブ42とを含む。

【0080】尚、Arガスの流量は、マスプローラコントローラにより調節できる。真空ポンプ33に対して、その排気速度を調節することができるバルブ33aが設けられている。

【0081】プラスマガン41から放出され陽極37上に収束されるプラズマPは、陽極37上のGaを適量添加したZnO固体ソース47に照射される。加熱された固体ソース47は、蒸発及びイオン化過程を経て、基板上に高品質な透明導電膜を形成する。

【0082】実施例1に対して、素子構造に透明導電膜を形成していない一般的な半導体発光素子Bを比較例として示す図7には半導体発光素子Bの構造図を示す。

【0083】比較例および実施例1は、第1の構造を有するLEDであり、p-n接合がホモ接合の構造を有している。

【0084】図7(a)は平面図、図7(b)は、図7(a)のVIIa-VIIb線断面図である。

【0085】図7に示した比較例による半導体発光素子Bは、n型不純物、例えばTeがドーピングされているn型GaAs基板71と、その上に形成され、例えばTe又はSiがドーピングされているn型GaAsP層75を含む。

【0086】n型GaAsP層75の一部領域である第1領域Gに、例えば、Zn(p型不純物)がドーピングされているp型GaAsP層75aと、第1領域Gに対応する領域に開口部O2を有し、n型GaAsP層75の表面に形成されている拡散防止用の窒化珪素膜(SiN<sub>x</sub>)81と、第1領域G上の開口部O2の一部領域を覆うように第2上部電極85を例えばA1により形成する。

【0087】A1により形成された第2上部電極85の光学面における形状は必ずしも図7のような形状の必要はない、p型GaAsPの一部領域において接合部を有していればよい。

【0088】n型GaAsP層75とp型GaAsP層75aとにより、p-n接合が形成される。

【0089】n型GaAs基板71の裏面に、例えばAuSnを含む下部電極91が形成されている。

【0090】図8に、実施例1と比較例との半導体発光素子における順方向電流-電圧特性グラフを示す。

【0091】実施例1と比較例との順方向電流-電圧特性を比較すると、発光開始電圧は、実施例1と比較例の両者においてほぼ同じ値を示している。

【0092】p型GaAsPとGaドープZnO透明導電膜との接合界面において、大きな電気的コンタクト抵抗を有する場合、発光開始電圧も大きくなる。発光開始電圧が比較例に示した一般的なLEDとほぼ同じ値を示したこととは、p型GaAsPとGaドープZnO透明導電膜との接合界面において、小さなコンタクト抵抗を有していることを示唆している。

【0093】従って、p型GaAsPとGaドープZnO透明導電膜との接合はオーミックコンタクトまたはオーミックライクコンタクトの電気特性を示すと考えられる。

【0094】さらに、発光開始電圧より大きい電圧の領域において、実施例1による順方向電流-電圧特性の傾きが、比較例による電流-電圧特性の傾きに比べて大きな傾きを有している。

【0095】p型GaAsPとGaドープZnO透明導電膜との接合がオーミックコンタクトまたはオーミックライクコンタクトの特性を示す場合、単位面積あたりのコンタクト抵抗と接合面積との両者をともに考慮する

と、総合的なコンタクト抵抗は接合面積が大きいほど減少する。

【0096】従って、コンタクト抵抗が発光素子の電流-電圧特性に反映され、グラフの傾きが大きくなるものと解される。

【0097】透明導電膜はp-n接合から発せられる光を遮ることなく、素子上に電流注入用の電極として広い接合面積で形成が可能なため、素子の駆動電圧の低下が期待できる。駆動電圧の低下は、消費電力低下の効果へと結びつけることも可能である。

【0098】また、比較実験として実施例1のような構造においてITOを透明電極として形成した場合、非常に大きなコンタクト抵抗を有し、電流-電圧特性の傾きが非常に小さいため正確な電気特性は測定できなかつた。

【0099】本実施例1による半導体発光素子に用いられるGaドープZnO透明導電膜を用いると、従来の透明導電膜では実現できなかった半導体材料に対して良好なオーミックコンタクトまたはオーミックライクコンタクトの電気特性が得られる。

【0100】そこで、発明者はp型及びn型GaAs系半導体と透明導電膜との界面に関する実験を行った。特にp型およびn型GaAs系半導体とIII族のB、Al、Ga又はInのうち少なくとも一種類を適度にドーピングしたZnO層とのコンタクト抵抗をTLM(Transmission Line Model)理論により測定および算出した。

【0101】その結果、p型およびn型GaAs系半導体と例えばGaドープZnO膜との間の接合界面では、それともにコンタクト抵抗の値は10<sup>-4</sup>から10<sup>-6</sup>Ω·cm<sup>2</sup>と非常に小さいことが確認できた。p型およびn型GaAs系半導体とのそれぞれの界面においてオーミックコンタクトが得られた。

【0102】従って、n型GaAs系半導体材料が光学面となるような半導体発光素子の構造に対しても、p型と同様にIII族のB、Al、Ga又はInのうち少なくとも一種類を適度にドーピングしたZnO透明導電膜が、電極または電流拡散層として利用可能であることを示唆している。

【0103】加えて、実施例1と比較例における光学特性について測定した。基準となる順方向電流に対しての光量を比較すると、比較例より本実施例1の方が1.5倍以上も大きく、光学面近傍において均一な発光強度分布が得られた。

【0104】次に、本発明の実施例2による発光素子について図面を参照して説明する。

【0105】図9(a)は、本発明の第2実施例による発光素子の平面図であり、図9(b)は、図9(a)のIXa-IXb線断面図である。

【0106】図9(a)、図9(b)に示すように、実

施例2による発光素子Dは、n型GaAs基板101上にn型GaAsバッファ層103、n型AlGaInPクラッド層105、AlGaInP活性層107、p型AlGaInPクラッド層111、p型GaAs層113、n型GaAs電流ブロック層121を有機金属気相成長方法(MO-CVD)などを用いて順次形成する。

【0107】フォトリソグラフィー技術およびエッチング技術によりp型GaAs層113上の一部領域Hにのみ電流ブロック層121が形成される。

【0108】尚、電流ブロック層121は、n型AlGaInP又は絶縁膜(誘電体材料)により形成しても良い。

【0109】さらに、III族のB、Al、Ga又はInのうち少なくとも一種類を適度にドーピングしたZnO例えばGaドープZnO透明導電膜117をイオンプレーティング法などを用いて形成し、同様にフォトリソおよびエッチング技術を用いてGaドープZnO透明導電膜117にO3の開口部を形成する。

【0110】ZnO透明導電膜117は、Gaを2at%から8at%ドーピングする。Gaの代わりにB、Al又はInのうち少なくとも一種類をドーピングしても良い。

【0111】図9のように、GaドープZnO透明導電膜117および電流ブロック層121の一部領域Iに、ワイヤーボンディング用の上部電極123をAlなどにより形成する。

【0112】尚、電流ブロック層121は、上部電極123直下に電流集中するのを防止し、GaドープZnO透明導電膜117を介して、上部電極123による光妨げのないp-n接合領域からより多くの光を取り出すことができる。電流ブロック層121は外部量子効率の向上のために設けているが、本発明とは直接の関係がないため、構造上省いても構わない。

【0113】また、p型(n型)GaAs層113は主に高濃度キャリア層として形成している場合が多く、電流拡散またはオーミックコンタクトを目的として形成している。従って、p型GaAs層113もZnO(B、Al、Ga、In)層117で置き換えることも可能である。

【0114】以上、本実施の形態による発光素子(実施例1、実施例2)は、p型およびn型GaAs系半導体材料に対して良好なオーミックコンタクトを形成することができる上に、外部量子効率が大きく、電気的および光学的特性に優れていることが分かった。

【0115】半導体発光素子の代わりに半導体受光素子を形成する場合には、光学面として発光面ではなく受光面として機能させる。

【0116】具体的には、p-n接合間に逆方向にバイアスを印加しておく。この時点では、p-n接合問には逆方向の微小電流(暗電流)が流れている。

【0117】光学面(受光面)に適度な波長を有する光が入射すると、禁制帯の幅以上のエネルギーを有する光によって、電子・正孔が生成し、電子はn型領域に、正孔はp型領域へと分離される。これによって流れる光電流が、暗電流に加わる。光電流の大きさは光の強度によって変化するため、受光素子(ホトダイオード)として機能する。

【0118】以上、本発明の実施例について例示したが、その他、種々の変更、改良、組み合わせなどが可能なことは当業者には自明であろう。

【0119】例えば、本実施例においては、半導体光学素子のうち、発光素子、特にLEDを例として説明したが、本発明の半導体光学素子に用いられている透明導電膜を、LDなどの他の半導体光学素子や、ホトダイオードなどの受光素子に適用することが可能である。具体的には、GaAs系半導体発光ダイオードの他、GaAs系半導体レーザーダイオード、GaAs系半導体受光素子の光学面におけるIII族のB、Al、Ga又はInのうち少なくとも一種類を適度にドーピングしたZnO透明導電膜を利用した場合である。

【0120】

【発明の効果】GaAs系半導体材料におけるp型またはn型に対してIII族のB、Al、Ga又はInのうち少なくとも一種類をドーパントとして含むZnO透明導電膜との接合を形成したとき、その界面において電気的コンタクト抵抗が小さいことを発見した。透明電極および透明電流拡散層として光導体素子構造に組み込むことが可能となり、特にp-n接合を有する発光素子においては、電流集中現象の緩和および外部量子効率の向上などの効果が得られる。また、駆動電圧の低下も可能となり、消費電力の低減も期待できる。

【0121】従って、発光素子の高性能化、低消費電力化、高信頼化が可能となる。

【図面の簡単な説明】

【図1】ZnO中のGaの含有量(at%)に対する実効キャリア濃度、移動度、及び抵抗率との関係を示すグラフである。

【図2】ZnO透明導電膜の波長に対する光透過率を示すグラフである。

【図3】本発明の実施例1による半導体発光素子Aの構造を示す。図3(a)は平面図、図3(b)は図3(a)のIIIa-IIIb線断面図である。

【図4】図3に示す半導体発光素子Aの製造工程を示す図である。

【図5】図3に示す半導体発光素子Aの製造工程を示す図であり、図4の工程に続く工程図である。

【図6】ZnO透明導電膜を形成するために用いられるイオンプレーティング装置の構成を示す図である。

【図7】比較例による半導体発光素子Bの構造を示す図である。図7(a)は平面図、図7(b)は、図7

(a) のVIIa-VIIb線断面図である。

【図8】実施例1と比較例による半導体発光素子の順方向電流-電圧特性を示すグラフである。

【図9】本発明の実施例2による半導体発光素子の構造を示す。図9(a)は平面図、図9(b)は図9(a)のIXa-IXb線断面図である。

【符号の説明】

A 半導体発光素子

1 n型GaAs基板

5 n型GaAsP層

5a p型GaAsP層

O 開口部

11 拡散防止用窒化珪素膜(SiNx)

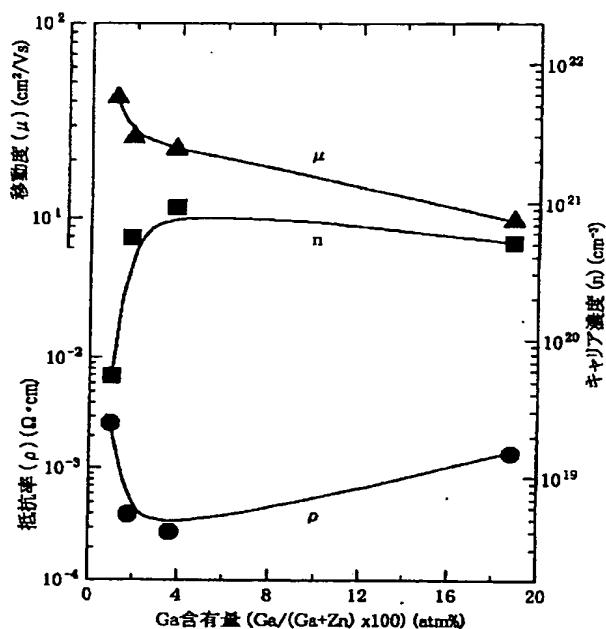
C 第1領域

E 第2領域

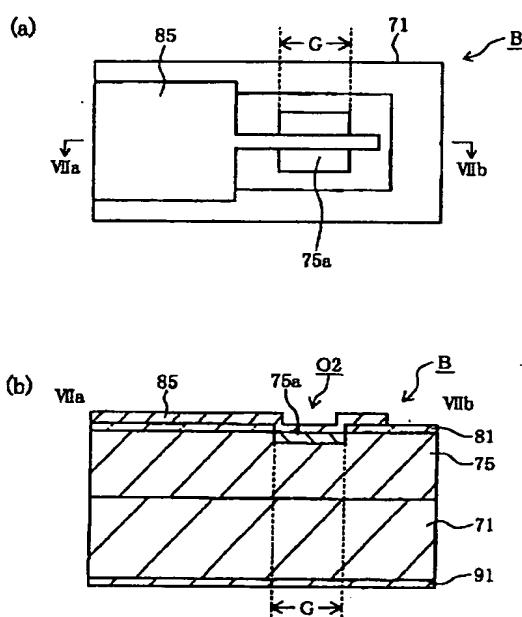
15 第2電極(GaをドーピングしたZnO膜:透明導電膜)

21 第1電極

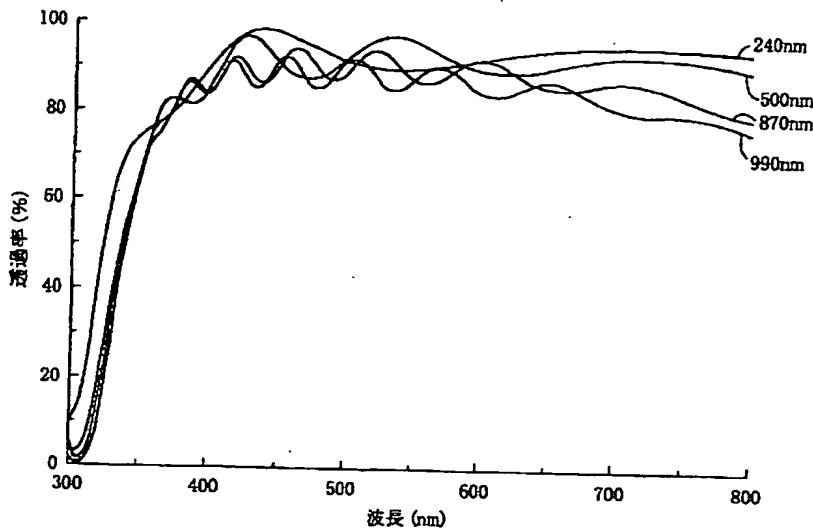
【図1】



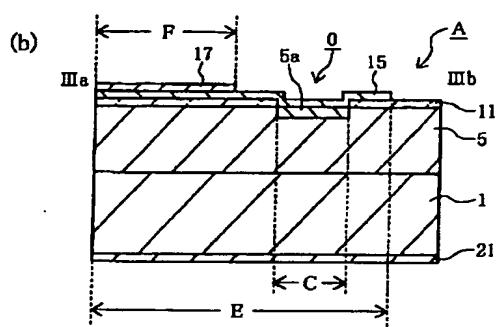
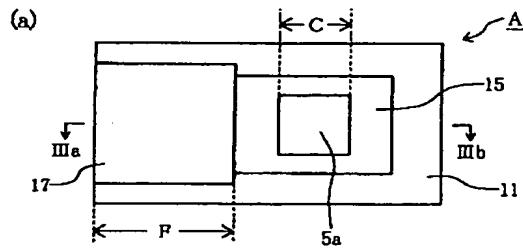
【図7】



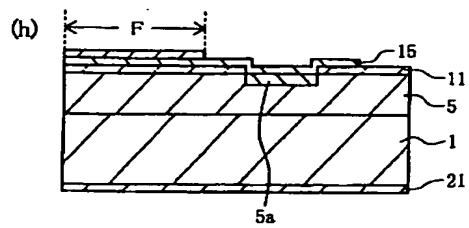
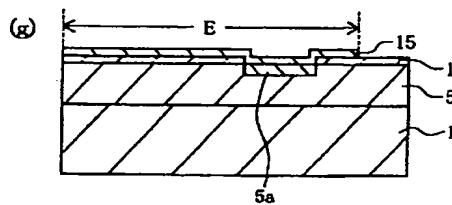
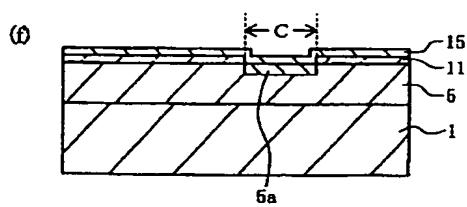
【図2】



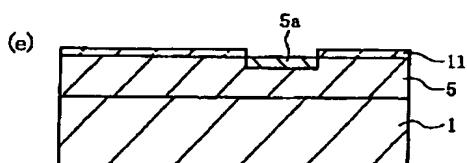
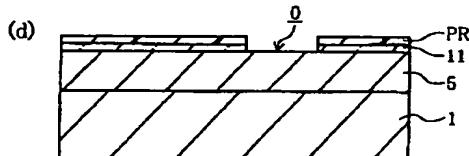
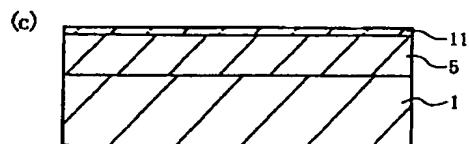
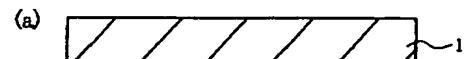
【図3】



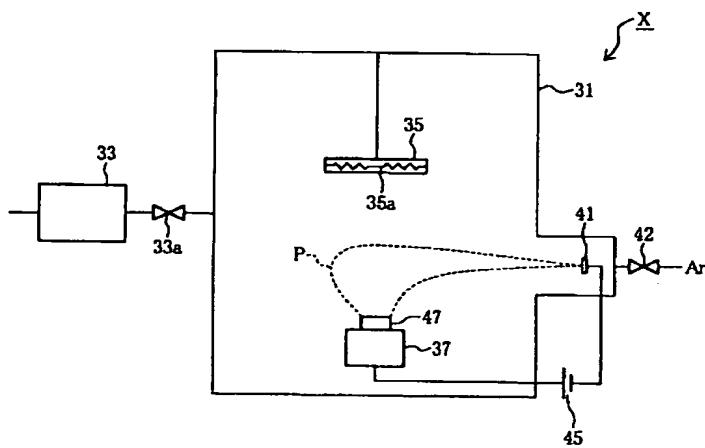
【図5】



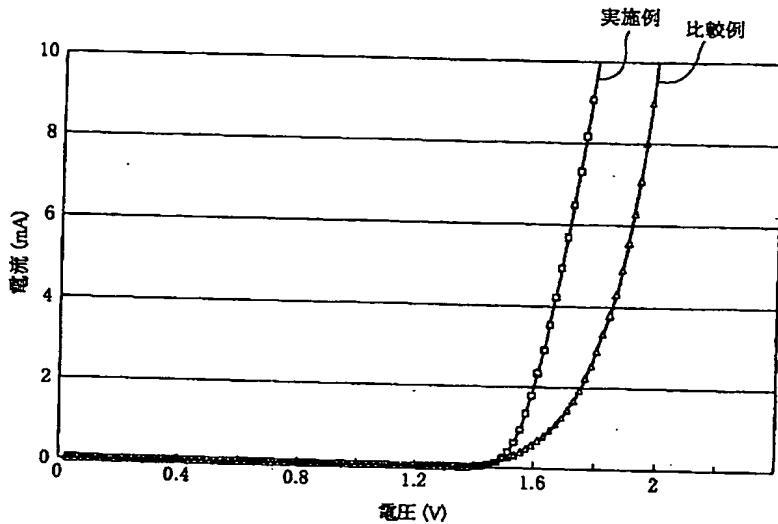
【図4】



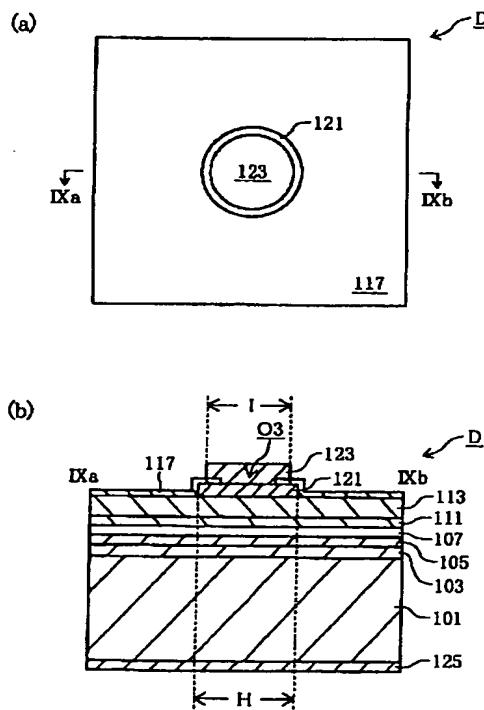
【図6】



【図8】



【図9】



フロントページの続き

(72) 発明者 鉢田 和晃  
神奈川県横浜市青葉区荏田西1-3-1  
スタンレー電気株式会社技術研究所内

(72) 発明者 鈴木 義雄  
神奈川県横浜市青葉区荏田西1-3-1  
スタンレー電気株式会社技術研究所内

(12) 2002-16287 (P2002-162ZJL

Fターム(参考) 5F041 CA02 CA35 CA38 CA57 CA58  
CA82 CA88 CA98